

⑪ 公開特許公報(A) 平4-51535

⑫ Int.Cl.

H 01 L 21/66
G 01 R 1/073
31/26

識別記号

庁内整理番号

B 7013-4M
E 9016-2G
J 8203-2G

⑬ 公開 平成4年(1992)2月20日

審査請求 未請求 請求項の数 9 (全10頁)

⑭ 発明の名称 半導体LSI検査装置用プローブヘッドの製造方法および検査装置

⑮ 特願 平2-159734

⑯ 出願 平2(1990)6月20日

⑰ 発明者 春日部進 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑰ 発明者 高木隆一 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

⑰ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰ 代理人 弁理士 小川勝男 外1名

明細書

1 発明の名称

半導体LSI検査装置用プローブヘッドの製造方法および検査装置

2 特許請求の範囲

1. 半導体LSIの電極パッドに接触して電気信号を検査装置本体に伝送するプローブヘッドの製造方法であって、一方の面にはプローブを形成するための電極パッドが配列されており、その裏面には検査装置と上記LSIの電極パッド間の電気信号を伝送するための電極パッドが配列されており、しかも前記表裏両面のパッド間が電気的に相互接続された配線基板を準備する第1の工程と；前記プローブを形成するための電極パッド上に必要に応じて接着力向上用の導電接着層を形成する第2の工程と；次いで前記導電接着層を含む前記配線基板上にほぼプローブの必要とする高さに相当する厚さのプローブ形成用下部導電層を複層形成すると共に必要に応じてその表面を平坦化する第3の工程と；前記

記プローブを形成するための電極パッドの中心線上に、プローブ先端形成用上部導電層を形成するためのマスクパターンの中心を位置合わせしたマスクパターンを形成する第4の工程と；前記マスクパターン間にプローブ先端形成用上部導電層を形成すると共に必要に応じてその表面をプローブの必要とする高さに相当する厚さに平坦化する第5の工程と；前記のプローブ形成用下部導電層上の前記マスクパターンを除去する第6の工程と；前記プローブ形成用下部導電層上および前記プローブ先端形成用上部導電層上に前記電極パッドと中心軸を一致させた前記プローブ先端形成用上部導電層を覆うマスクパターンを形成する第7の工程と；前記マスクパターンをマスクにして前記プローブ形成用下部導電層にエッティングを施しピボット形状を形成する第8の工程と；前記導電接着層の露出部分をエッティング除去する第9の工程と；前記のプローブ先端形成用上部導電層を覆うマスクパターンを除去する第10の工程とを有して成ること

を特徴とする半導体 LSI 検査装置用プローブヘッドの製造方法。

2. 半導体 LSI の電極パッドに接触して電気信号を検査装置本体に伝送するプローブヘッドの製造方法であって、一方の面にはプローブを形成するための電極パッドが配列されており、その裏面には検査装置と上記 LSI の電極パッド間の電気信号を伝送するための電極パッドが配列されており、しかも前記裏面のパッド間に電気的に相互接続された配線基板を準備する第1の工程と；前記プローブを形成するための電極パッド上に必要に応じて接着力向上用の導電接着層を形成する第2の工程と；次いで前記接着力向上用導電接着層を含む前記配線基板上にはほぼプローブの必要とする高さに相当する厚さに前記プローブを形成するための電極パッドの中心部上にプローブ形成用下部導電層を形成するためのマスクパターンの中心を位置合わせしたマスクパターンを形成する第3の工程と；前記パターン間にピンプローブ形成用下部導電

層を形成すると共に必要に応じてその表面をプローブの必要とする高さに相当する厚さに平坦化する第4の工程と；前記プローブ形成用下部導電層およびマスク上に前記電極パッドと中心部を一致させて前記プローブ形成用下部導電層よりも小さなプローブ先端形成用上部導電層を形成するためのマスクパターンを形成する第5の工程と；前記マスクパターンをマスクにして前記プローブ形成用下部導電層上にプローブ先端形成用上部導電層を形成すると共に必要に応じてその表面をプローブの必要とする高さに相当する厚さに平坦化する第6の工程と；前記のマスクパターンを除去する第7の工程と、前記導電接着層をエッティング除去する第8の工程とを有して成ることを特徴とする半導体 LSI 検査装置用プローブヘッドの製造方法。

3. 請求項1に記載の第10の工程もしくは請求項2に記載の第8の工程に引続きプローブ表面に導体、耐食性あるいは硬度の高い金属めっきを施す第11の工程を付加したことを特徴とす

る請求項1もしくは2記載の半導体 LSI 検査装置用プローブヘッドの製造方法。

4. 上記第11の工程に引き続き、プローブ表面に施した金属めっきを焼成する第12の工程を附加したことを特徴とする請求項3記載の半導体 LSI 検査装置用プローブヘッドの製造方法。

5. 上記プローブ形成用導電層がニッケル(Ni)、銅(Cu)、銅(Cu)-ニッケル(Ni)合金、タンクステン(W)、モリブデン(Mo)、チタン(Ti)、クロム(Cr)、タンタル(Ta)、ニオブ(Nb)及びベリリウム(Be)ー銅(Cu)合金から成る群のいずれか1種あるいは2種の金属から成り、蒸着、めっき、CVDもしくはスパッタリングの成膜形成方法により形成することを特徴とする請求項1, 2, 3若しくは4記載の半導体 LSI 検査装置用プローブヘッドの製造方法。

6. 上記プローブの配線基板は給電層と信号入出力層と接地層とから成る少なくとも3種の配線層を有する多層配線基板から成ることを特徴と

する請求項1, 2, 3, 4若しくは5記載の半導体 LSI 検査装置用プローブヘッドの製造方法。

7. 上記多層配線基板がセラミックの多層積層板から成ることを特徴とする請求項6記載の半導体 LSI 検査装置用プローブヘッドの製造方法。

8. 請求項1若しくは2に記載のプローブの配線基板としてスルーホールで裏面の電極パット間に電気的に相互接続されたスルーホール基板を用いて、該スルーホール基板を給電層と信号入出力層と接地層とから成る少なくとも3種の配線層を有する多層配線基板に導電接合材で接続した構造から成ることを特徴とする請求項1, 2, 3, 4若しくは5記載の半導体 LSI 検査装置用プローブヘッドの製造方法。

9. 半導体ウェハを変位自在に支持する試料台と、該試料台に設置された前記半導体ウェハの電極に対向して配設された多層配線基板に形成された請求項1~8のいずれかに記載の半導体 LSI 検査装置用プローブヘッドからなり、前記多

層配線基板に対して前記試料台を相対的に変位させることにより、前記半導体ウェハに形成された電極と前記プローブとを接触させて所定の検査を行う検査装置であって、前記多層基板側あるいは前記試料台の少なくとも一方に、前記プローブと前記半導体ウェハの電極とを相対的に接近する方向に変位させる圧電アクチュエータを設けたことを特徴とする半導体LSI検査装置。

3 発明の詳細な説明

(産業上の利用分野)

本発明は、LSIに代表される半導体装置の検査装置用のプローブヘッドの製造方法に係り、特に高密度多ピン化において高精度にプローブを形成するに好適な製造方法およびそれを用いた半導体LSI検査装置に関するもの。

(従来の技術)

半導体LSIの電極パッドに接触して電気信号を検査装置に伝送するプローブヘッドとして、従来の装置は、例えばテストプローブを形成するの

プリング性がない状態で、ピンとパッド間との接触抵抗特性を確保するための一定エリア（1チップ分）内で、高さ方向及び横方向の位置を高精度でそろえる必要がある。従来技術では、プローブの先端部をエッチングにより形成しているが、特に先端部の位置について高精度化の必要性が配慮されていない。

本発明の目的は、上記課題を解決することにあり、プローブヘッド部のピン組立性を向上させると共に、信頼性の高い高精度ピン立てを実現するプローブヘッドの製造方法及びそれを用いた半導体LSI検査装置を提供することにある。

(課題を解決するための手段)

高密度多ピン化における上記目的は、配線基板上に電極パッドを形成後、接着力向上用の導電接着層を形成した上にプローブ形成用下部導電層を形成し、これのプローブ位置に対応する位置に、プローブ先端形成用上部導電層を形成するためのマスクパターンを形成し、プローブ形成用下部導電層が露出するまで箇状にエッチング除去し、こ

に、予め準備されたプローブを個別にプローブヘッド構造体に設けた貫通孔に挿入した構造のものである。また、プローブの先端部は、電気的接続特性を向上させるため尖鋸化する必要があり、プローブをプローブヘッド構造体に固定させた後、切削、研磨により平坦面を得てエッチングによりその先端を半球状もしくは円錐状に露出形成している。なお、この種の装置として関連するものには例えば特開昭61-80067号が挙げられる。

(発明が解決しようとする課題)

上記従来技術は、プローブの高密度多ピン化の点について配慮されておらず、プローブの組立性やプローブ先端部位置の高精度化に解決すべき技術上の課題があった。つまり、従来技術では貫通孔を有するプローブヘッド構造体にプローブを個々に挿入して組立てるため、プローブの高密度化、多ピン化に対して高精度な挿入組立技術が必要となり、一定の限界がある。更に、挿入したプローブの先端部は、特に半導体ウェハの電極パッド（はんだバンプ）に接触する先端部の場合、ス

のエッチング除去した場所にプローブ先端形成用上部導電層を成長させ、マスクパターンを除去した後、プローブ位置に対応する位置に、プローブ先端形成用上部導電層を覆うマスクパターンを形成し、プローブ形成用下部導電層を箇状に導電接着層が露出するまでエッチング除去し、導電接着層およびマスクを除去して、ピン先端部をこの微小なプローブ先端形成用上部導電層とした構造としてピン状に加工することにより達成される。

更に本発明の構成を詳細に述べれば、以下のようにになる。

つまり、本発明は、半導体LSIの電極パッドに接触して電気信号を検査装置本体に伝送するプローブヘッドを製造するに際し、多層配線構造体を内装し、かつ両面に電極パッドパターンが予め所定箇所で設けられた多層配線基板を準備する第1の工程と；前記多層配線基板の一方の面に必要に応じて接着力向上用の導電接着層を被覆形成する第2の工程と；前記導電接着層上にプローブ形成用下部導電層を形成する第3の工程と；前記下

部導電層上に前記電極パッドと中心軸を一致させたマスクパターンを形成する第4の工程と；前記マスクパターン間にプローブ先端形成用上部導電層を形成する第5の工程と；前記のプローブ形成用下部導電層上の前記マスクパターンを除去する第6の工程と；前記プローブ形成用下部導電層および前記プローブ先端形成用上部導電層上に前記電極パッドと中心軸を一致させた前記プローブ先端形成用上部導電層を覆うマスクパターンを形成する第7の工程と；前記マスクパターンをマスクにして前記プローブ形成用下部導電層にエッティングを施しピン形状を形成する第8の工程と；前記導電接着層の露出部分をエッティング除去する第9の工程と；前記プローブ先端形成用上部導電層を覆うマスクパターンを除去する第10の工程とを有して成ることを特徴とする半導体LSI検査装置用プローブヘッドの製造方法から構成される。

そして、更に好ましくは、上記第10の工程に引続きピン表面に耐食性、良導体あるいは硬度の高い金風めっきを施す第11の工程を付加すること

のパターンを用いてプローブ先端形成用上部導電層を形成すると共に必要に応じてその表面をプローブの必要とする高さに相当する厚さに平坦化し、このマスクパターンを除去した後に、プローブ先端形成用上部導電層を覆う所要とするマスクパターンを用いてプローブ形成用下部導電層をエッティングしてプローブを一括形成すると、高密度多ビン化においてプローブヘッド部のピン組立性向上させることができる。

更に、プローブ先端部となるプローブ先端形成用上部導電層の表面を平滑にして上記電極パッド部の中央に位置する部分に微小なフラット面が残るようになると、ピン先端部の高さ方向バラツキをプローブ先端形成用上部導電層の平滑面と同一レベルにすることでき、かつ横方向バラツキをマスクパターンの寸法精度に近いレベルにもっていくことができる。プローブヘッド部の高精度ピン立てを実現させることができる。

前記半導体LSI検査装置によれば、たとえば、試料台の変位によって、当該試料台に載置された

とである。

本願において開示される半導体LSI検査装置の発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。

すなわち、板状の被検査物（半導体ウェハ）を変位自在に支持する試料台と、試料台に載置された被検査物に対向して配置された多層配線基板に突設される複数のプローブとからなり、多層配線基板に対して試料台を相対的に変位させることにより、被検査物とプローブとを接触させて所定の検査を行う検査装置であって、多層配線基板および試料台の少なくとも一方に、プローブと被検査物とを相対的に接近する方向に変位させる圧電アクチュエータを設けたものである。

〔作用〕

配線基板上に電極パッドを形成後、接着力向上用の導電接着層を形成した上にプローブ形成用下部導電層を形成した基板を用い所望するマスクパターンを用いてエッティングによりプローブ先端形成用上部導電層を形成するパターンを形成し、こ

被検査物を多層配線基板に突設されたプローブに所定の距離まで接近させる第1の段階と、圧電アクチュエータによる変位によって被検査物とプローブとを接触させる第2の段階とを経て被検査物とプローブとを接触させることにより、單に試料台の相対的な移動動作のみによる被検査物とプローブとの接觸動作に比較して、試料台や当該試料台の駆動系などの慣性によるオーバーシュートに起因する被検査物の過度の塑性変形が回避される。

これにより、プローブに接觸する際の被検査物の過度の塑性変形によって、プローブと被検査物との間に不安定な隙間を生じることが回避され、検査中における被検査物とプローブとの接觸を安定に維持することができる。

〔実施例〕

以下、実施例により本発明を具体的に説明する。第1図は、本発明の一実施例となる多層配線基板1上に多ビンを形成するための製造プロセスを工程順に示したものである。

第1図(a)は、給電層と信号層(入出力)と

接地層とを有する多層配線基板1上にプローブ形成用下部導電層2を形成した工程後を示す。多層配線基板1は厚膜セラミック基板であり、両面にタングステン系の電極パッド部3、4を形成し、これら両面のパッド3、4間は基板内の配線構造体(図面省略)を介して相互に電気的に接続されている。電極パッド部3の上には接着力向上用の導電接着層5として例えばクロムを蒸着後、銅を蒸着する。また電極パッド部3にはニッケルめっき6、電極パッド部4にはニッケルめっき6、金めっき7を施している。導電接着層5は必要に応じて形成すればよい。導電接着層5を形成した上にプローブ形成用下部導電層2を例えば銅めっきではなくプローブの高さに相当する厚さの導電層を形成し、ここでは表面をダイヤモンド砥粒による研磨により $1\text{ }\mu\text{m}$ 以内に平坦化して厚さ $50\text{ }\mu\text{m}$ の導電層を形成した。

第1図(b)は、プローブ形成用下部導電層2上にプローブ先端形成用上部導電層8を形成するためのマスクパターン9を形成した工程後を示す。

層2上に、プローブ先端形成用上部導電層8を覆うようにマスクパターン11を形成した工程後を示す。マスクパターン11の材料としてはプローブ形成用下部導電層2上に厚さ $40\text{ }\mu\text{m}$ 程度の感光性ポリイミド12を塗布し、プローブを形成するための電極パッドの中心軸上にプローブ先端形成用上部導電層8を覆う円形パターンが残るようだ。露光、現像後、不要な部分を除去することにより感光性ポリイミド層12を形成する。

第1図(e)はプローブ形成用下部導電層2のエッティング工程終了後を示す。例えば銅をプローブ形成用下部導電層2として用いた場合、塩化第二銅と過酸化水素の混合液をエッティング液としてシャワーエッティングすればよい。エッティングの条件を制御することにより、アンダーカット(サイドエッチ、側面腐食ともいう)を積極的に利用し、所望の形状となる様にプローブ形成用下部導電層2を電極パッド部3近傍を残して除去することができる。この結果、エッティング面13がマスク12を残した状態で形成される。

マスクパターン9としては、プローブ形成用下部導電層2上に厚さ $20\text{ }\mu\text{m}$ の感光性ポリイミド層10を塗布し、プローブを形成するための電極パッドの中心軸上にプローブ先端形成用上部導電層8用の円形パターンを露光、現像後、不要な部分を除去することにより形成する。

次に第1図(c)に示すように、めっきによりプローブ先端形成用上部導電層8を形成する。プローブ先端形成用上部導電層8としては、ニッケルあるいは銅あるいはニッケル銅合金等の導電材を通常の電気めっきあるいは無電解めっきによりプローブ先端形成用のマスクパターン9を埋めるように形成する。

第1図(d)は、プローブ先端形成用上部導電層9を形成後、必要に応じてプローブの高さを一定にするためにグラインダ加工あるいは研磨などでプローブ先端形成用上部導電層8およびポリイミドのマスク10の表面を平坦化した後、ポリイミドのマスク10を除去した工程後を示す。

第1図(e)は、上記プローブ形成用下部導電

さらに第1図(g)に示すように、不要部のマスク12を除去した後、導電接着層5の露出部分を電解エッチングにより除去することにより、電気的に分離し、微小な先端部を有するプローブ14を形成する。

なお、この後にプローブ14の表面に金やロジウムのめっき皮膜を形成することにより、電気的な接触特性を安定にし、かつ向上させることができる。

プローブ形成用下部導電層2として銅を使用した場合、プローブ14の形状までエッティング加工した後、表面をニッケル(Ni)のような銅よりも硬度の高い金属でめっきあるいはスパッタ、蒸着などの表面処理をした後、焼入れすることにより合金化して、硬度の高いプローブを形成することができる。さらにプローブ14の材質としてはモリブデン(Mo)、チタン(Ti)、クロム(Cr)、タンタル(Ta)、ニオブ(Nb)、銅-ペリリウム(Be)基合金及び表面を銅よりも硬質の金属でメッキした銅基材等でもよい。

本実施例によれば電極パッド部3のピッチとして0.2mmで、高さ0.07mm、プローブ下部の直径0.1mmのプローブを2500ピン/10mm²の密度で製造できる。また、プローブの高さの精度として±10μm以内の精度を達成できる。更に、プローブの高さと幅の比を1:1としたまま電極パッド部3のピッチとして50μmまで本実施例では容易に形成可能である。プローブの高さをhとし、電極パッド間のピッチをdとしたとき、本実施例によればh=0.3~5dを満足するプローブを容易に形成できる。

第1図(g)に示したプローブ14を形成する他の形成方法の実施例を第2図に示した。

第2図(a)は、前記の多層配線基板1の表面に形成した電極パッド3上に接着力向上用の導電接着層5を形成する工程について、前記導電接着層5の上にほぼプローブの必要とする高さに相当する厚さの感光性ポリイミド層15を積層形成し、プローブを形成するための電極パッド3の中心線上に、プローブ形成用下部導電層2を形成用の円

の電極パッドの中心線上にプローブ先端形成用上部導電層8用の円形パターンを露光、現像後、不要な部分を除去することにより形成する。

第2図(d)は、めっきによりプローブ先端形成用上部導電層8を形成した後、必要に応じてプローブの高さを一定にするためにグラインダ加工あるいは研磨などでプローブ先端形成用上部導電層8およびポリイミドのマスク18の表面を平坦化した工程後を示す。プローブ先端形成用上部導電層8としては、ニッケルあるいはニッケル銅合金等の導電材を通常の電気めっきあるいは無電解めっきによりプローブ先端形成用のマスクパターン17を埋めるように形成する。

さらに、第2図(e)に示すように、ポリイミド層18および15を除去した後、導電接着層5の露出部分を電解エッティングにより除去することにより、電気的に分離し、微小な先端部を有するプローブ14を形成する。

なお、この後にプローブ14の表面処理を、第1図で述べたごとく実施してもよい。

形パターンを、前記感光性ポリイミド層15を露光、現像後、不要な部分を除去することにより形成した工程後を示す。ここでは、感光性ポリイミド層15の厚さを60μmとした。

次に、第2図(b)に示すように、めっきによりプローブ形成用下部導電層2を形成し、必要に応じてプローブの高さを一定にするために研磨してプローブ形成用下部導電層2および感光性ポリイミド層15の表面を平坦化する。ここでは、プローブ形成用下部導電層2としては、ニッケルあるいは銅を通常の電気めっきによりマスクパターン16を埋めるように形成し、研磨はダイヤモンド砥粒により1μm以内に平坦化して厚さ50μmの導電層を形成した。

第2図(c)は、プローブ形成用下部導電層2上に、プローブ先端形成用上部導電層8を形成するためのマスクパターン17を形成した工程後を示す。マスクパターン17としては、プローブ形成用下部導電層2上に厚さ20μmの感光性ポリイミド層18を塗布し、プローブを形成するため

第3図は、プローブ形成用の配線基板としてスルーホール基板を使用して、該基板を多層配線基板に接続した一実施例を示したものである。

被検査対象である半導体LSIの電極に対応する位置に、プローブ形成用の配線基板としてスルーホール45で裏面両面が同一パターンの電極パッド間が電気的に相互接続されたスルーホール基板40の両面を、必要に応じてグラインダーあるいはダイヤモンド砥粒による研磨などによって平坦化処理した後、必要に応じてNiめっきあるいはAuめっきをして電極パッド41を形成し、該スルーホール基板40の表面に第1図あるいは第2図に示した多ピンを形成するための製造プロセスを実施し、前記の多ピンを形成したスルーホール基板40の裏面と該スルーホール基板40の裏面パターンに対応する位置にはんだバンプ接続用の電極42を有した多層配線基板43とはんだをバンプ44により接続して、一体の多ピン形成基板を形成しても良い。

これにより、多層配線基板43と比較して、ス

ルーホール基板40は多ピン形成部分にのみ必要面積を限定することができ小面積にすることができるため、表面の平面性を容易に確保することができる。また、該スルーホール基板40のみをはんだバンプ44を溶融して交換することにより、プローブの交換を簡易、安価に実施することができる。

第4図は、本発明のプローブを用いた一実施例である検査装置の要部を示す説明図である。本実施例においては、検査装置が半導体装置の製造におけるウェハプローバとして構成されている。

すなわち、ほぼ水平に設けられた試料台21の上には、半導体ウェハ22(被検査物)が着脱自在に載置されている。この半導体ウェハ22の表面には、外部接続電極としての複数のはんだバンプ22aが形成されている。試料台21は、垂直な昇降軸23を介して、たとえばステッピングモータなどからなる昇降駆動部24に支持され、さらにこの昇降駆動部24は、筐体25に支持されるX-Yステージ26の上に固定されている。そ

して、X-Yステージ26の水平面内における移動動作と、昇降駆動部24による上下動などを組み合わせることにより、試料台21の水平および垂直方向における位置決め動作が行われるものである。また、試料台21には、図示しない回動機構が設けられており、水平面内における試料台21の回動変位が可能にされている。

試料台21の上方には、当該試料台21に平行に対向する姿勢でベース27が設けられ、このベース27の試料台21に対する対向面には、プローブカード28および多層配線基板1が水平に固定されている。この多層配線基板1には、半導体ウェハ22に形成された複数のはんだバンプ22aの各々に一致するように所定のピッチで配列された前記のプローブ14が垂直下向きに形成されており、各々のプローブ14は、多層配線基板1に接続されたプローブカード28に接続されるケーブル29を介してテスタ30に接続されている。この場合、プローブカード28を支持するベース27と、このベース27の上側の筐体25との間

には、複数のピエゾ素子などの圧電アクチュエータ31が介設されており、各々の圧電アクチュエータ31には、複数のケーブル32を介して複数の駆動電源33が接続されている。この圧電アクチュエータ31は、たとえば、100~1000V程度の電圧の印加によって、当該電圧に比例して長さ方向に10~100μm程度の伸びが生じるものである。そして、駆動電源33から圧電アクチュエータ31に印加される電圧に応じて当該圧電アクチュエータ31に発生する上下に伸縮する方向の並によって、多層配線基板1に形成されたプローブ14の上下方向の微動動作が、オーバーシュートなどを生ずることなく実現されるよう構成されている。

複数の駆動電源33は、制御バス34を介してマイクロプロセッサ35に接続されており、このマイクロプロセッサ35によって統括して制御される構造とされている。同様に、前述の昇降駆動部24の動作を制御する昇降駆動制御部24aは、制御バス34を介してマイクロプロセッサ35に

接続されており、昇降駆動部24による試料台21の上下動と、圧電アクチュエータ31による多層配線基板1の試料台21に対する上下方向の微動動作とを連携して行わせることを可能にしている。

なお、プローブの上下方向の動作量を検出する手段として、被検査物(はんだバンプ22aあるいはウェハ22の表面)そのもの、あるいは、その近傍を、前記被検査物で反射されるレーザの光路変化を検出することによって当該被検査物の位置を検出するレーザ変位計36による試料台21の位置情報を、当該試料台21の駆動機構に、変位センサ制御部37が接続している制御バス34を介して傳送して制御することにより、精密な昇降駆動を行わせることができる。

以下、本実施例の操作および効果について説明する。

試料台21の上に、半導体ウェハ22を固定し、X-Yステージ26および回動機構を用いて、該半導体ウェハ22に形成されたはんだバンプ22

aを、多層配線基板1に形成されたプローブ14の直下に位置決め調整する。その後、昇降駆動制御部24aを介して昇降駆動部24を作動させ、試料台21を所定の高さまで上昇させることによって、多層配線基板1のプローブ14の先端と試料台21に設置された半導体ウェハ22のはんだパンプ22aとを接触あるいは非接触な状態で所定の距離まで接近させる。(第1の段階)

次に、複数の駆動電源33の各々から複数の圧電アクチュエータ31に対して所定の値まで徐々に電圧を印加することにより、個々の圧電アクチュエータ31を所定量だけ伸長させ、オーバーシュートなどを生じることなく、多層配線基板1を試料台21に平行な姿勢を保ったまま当該試料台21に所定の距離だけ下降させ、多層配線基板1に形成されている複数のプローブ14の各々の先端を目的の半導体素子における複数のはんだパンプ22aの各々に所定量だけ確実にめり込ませ、個々のプローブ14とはんだパンプ22aとが電気的に確実に接続された状態にする(第2の段階)。

おいて、配線基板の電極パッド部に高密度かつ高品質の多ピンを一括形成することができるのでピン立ての組立性を大幅に向上させる効果がある。

更に、ピン先端部の高さ方向バラツキをプローブ先端形成用上部導電層の面と同レベルにでき、かつ横方向バラツキをマスクパターンの寸法精度に近いレベルにもっていくことができる。プローブヘッド部のピン先端部位置精度を大幅に向かせる効果がある。

4 図面の簡単な説明

第1図は本発明の一実施例の多ピンのプローブ基板を形成する製造プロセスを示す断面図、第2図は本発明の多ピンのプローブ基板を形成する基板部分の他の構成の一実施例を示す断面図、第3図は本発明の多ピンのプローブ基板を形成する他の実施例を示す断面図、第4図は本発明に係る半導体LSI検査装置の要部を示す図である。

- 1…多層配線基板、
- 2…プローブ形成用下部導電層、
- 3…電極パッド部、 4…電極パッド部、

この状態で、ケーブル29および複数のプロープ14などを介して、半導体ウェハ22に形成された半導体素子とテスター30との間で動作電力や動作試験信号などの授受を行い、当該半導体素子の動作特性の可否などを判別する。上記の一連の操作が半導体ウェハ22に形成された複数の半導体素子の各々について実施され、動作特性の可否などが判別される。

その結果、前記のプローブ先端部の高さ方向のバラツキが極めて小さなプローブヘッドを使用して、上記の一連の操作で半導体ウェハの検査を行うことにより、試料台21や当該試料台の駆動系などの慣性によるオーバーシュートに起因するはんだパンプ22aの過度の塑性変形によって、プローブ14とはんだパンプ22aとの間に不安定な隙間を生じることが回避され、検査中ににおけるはんだパンプ22aとプローブ14との接觸を安定に維持できる検査装置が実現できる。

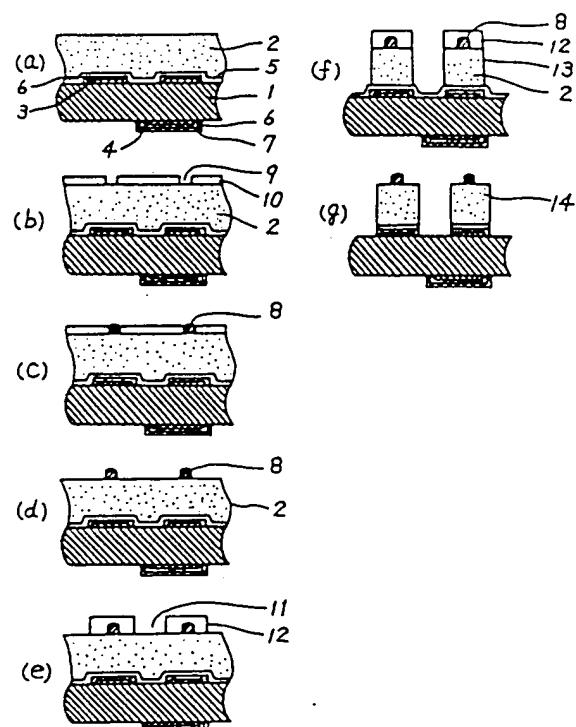
(発明の効果)

本発明によれば、プローブの高密度多ピン化に

- 5…接着力向上用の導電接着層、
- 6…ニッケルめっき、 7…金めっき、
- 8…プローブ形成用上部導電層、
- 9…マスクパターン、
- 10…感光性ポリイミド層、
- 11…マスクパターン、
- 12…感光性ポリイミド層、
- 13…エッチング面、 14…プローブ、
- 15…感光性ポリイミド層、
- 16…マスクパターン、 17…マスクパターン、
- 18…感光性ポリイミド層、
- 21…試料台、 22…半導体ウェハ、
- 21a…はんだパンプ、 23…垂直な昇降軸、
- 24…昇降駆動部、 24a…昇降駆動制御部、
- 25…筐体、 26…X-Yステージ、
- 27…ベース、 28…プローブカード、
- 29…ケーブル、 30…テスター、
- 31…圧電アクチュエータ、
- 32…ケーブル、 33…駆動電源、
- 34…制御バス、

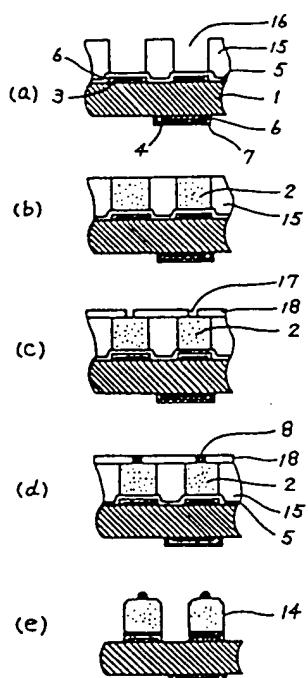
第 1 図

- 3 5 … マイクロプロセッサ。
 3 6 … レーザ変位計、 3 7 … 変位センサ制御部。
 4 0 … スルーホール基板。
 4 1 … 電極パッド。
 4 2 … はんだバンプ接続用の電極。
 4 3 … 多層配線基板、 4 4 … はんだバンプ。
 4 5 … スルーホール。

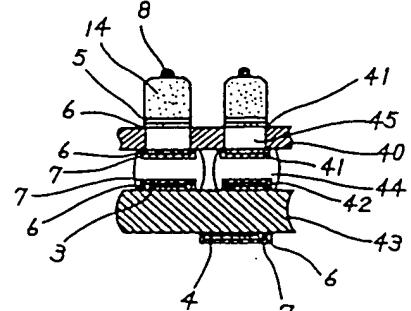


代理人弁理士 小川喜男

第 2 図



第 3 図



第4図

